

M5000 系列

高性能 PXI 系统



目录

认识 M5000 系列	3
助力最新创新	4
量子操控	4
M5000 系列模块	5
M5200A 数字化仪	5
M5201A 下变频器	5
M5300A 射频 AWG	5
M5302A 数字 I/O	6
使用 FPGA 进行分布式处理	6
PathWave FPGA	7
PathWave 测试同步可执行程序	8
技术指标和特征	9
M5200A 特征	9
M5201A 特征	12
M5300A 特征	14
M5302A 特征	17
订货指南和升级信息	20
了解更多信息	20

认识 M5000 系列

欢迎了解全新 Keysight M5000 系列。M5000 系列有射频 AWG、数字化仪、数字 I/O 和下变频器模块，是一款高性能 PXI 系统。助力您实现量子、航空航天与国防等领域的最新创新。

M5000 系列产品概述 ¹

型号	描述
M5200A	PXIe 数字化仪 4 通道, 2 GHz 带宽, 12 位
M5201A	PXIe 下变频器 4 通道, 2 ~ 16 GHz 射频, 0.01 ~ 2.4 GHz 中频
M5300A	PXIe 射频 AWG 4 通道, 直流至 16 GHz 射频, 2 GHz IBW, 14 位
M5302A	PXIe 数字 I/O 28 个 LVDS 通道, 8 个触发通道

相关产品

型号	描述
M9046A	PXIe 机箱: 大功率, 18 个插槽, 24 GB/s, 需要使用选件 -QS2
M9032A	PXIe 系统同步模块, 2 端口
M9033A	PXIe 系统同步模块, 5 端口
M9037A	PXIe 嵌入式控制器
M9614A	PXIe 5 通道源表模块
M9615A	PXIe 5 通道精密源表模块
P5000B	Streamline 矢量网络分析仪
UXR0164A	Infiniium UXR 系列示波器: 16 GHz, 4 通道

¹ 请参阅技术资料表了解更多信息。

助力最新创新

量子操控

M5000 系列构成了是德科技量子操控系统（QCS）的核心，这个全数字解决方案将会让您摆脱对自定义控制解决方案的依赖。

传统硬件中用于量子控制的模拟本振和混频器经常需要校准，会引入泄漏噪声，导致系统性能逐渐漂移。Keysight M5000 系列完全无需这些元器件，因此更加简单易用，具有出色的噪声性能和长期稳定性。



M5000 系列模块

M5200A 数字化仪

M5200A 是一款单插槽 PXIe 四通道高速数字化仪。它是一款高性能数字化仪，具有简单易用的编程库、实时排序技术和 FPGA 编程功能。

数字化仪模块支持四个 2 GHz 通道，具有 4.8 GSa/s 采样率和 12 位分辨率，能够满足量子计算和航空航天应用中的高清采样需求。用户可以在 FPGA 中创建 IP 和处理算法。用户还可以在模块外使用数据，并且直接通过 PCIe 背板传输数据。



M5201A 下变频器

M5201A 是一款单插槽 PXIe 低中频下变频器模块，具有四对射频/中频通道和一个共享的内部本地振荡器 (LO)。射频输入频率范围为 2 至 16 GHz。中频 (IF) 范围为 10 MHz 至 2.4 GHz。

M5201A 上的时钟发生器提供参考，该参考可用于生成应用所需的本地振荡器 (LO) 频率。时钟发生器的输入包括前面板 2.4 GHz 时钟输入，以及来自机箱的 100 MHz PXIe 时钟和 DSTAR 时钟。在 M9046A 机箱上搭配 -QS1 选件一起使用时，2.4 GHz 时钟可实现极低的相位噪声和漂移。



M5300A 射频 AWG

M5300A 是一款双插槽 PXIe 模块，具有四个高速 AWG 输出、一个时钟输入和一个时钟输出，以及八个触发器。通过简单易用的编程库、实时排序技术和 FPGA 编程，该模块可以提供出色的高性能。

M5300A 射频 AWG 模块在 2 个 PXIe 插槽中支持四个直接合成的射频通道，使用直接数字 I/Q 调制实现了高达 16 GHz 的射频和 2 GHz 的瞬时带宽。M5300A 为每个通道提供 1GSa/s 的波形存储器，其中实部 (I) 样本和虚部 (Q) 样本各半。

M5300A 包含一个 PathWave FPGA，具有可由用户自定义的客户可访问区域。客户配置的区域预留了 FPGA 资源约占 XVCU35P FPGA 总体资源的 25%。M5300A 中留有可供客户配置的区域，该区域为用户的应用保留了 98%左右的 CLB 寄存器和 98%左右的 LUT。



M5302A 数字 I/O

M5302A 是一款单插槽数字 I/O PXIe 模块，具有 28 个可编程 LVDS 通道和 8 个单端通道。LVDS 通道既可用于与被测器件通信，也可通过仿真协议来控制其他器件。单端通道适用于事件触发器或其他通用 I/O 应用。

100 引脚前面板连接器包含 28 个双向差分通道。这些差分信号是 LVDS（用于驱动 100 Ω 差分负载），具有 1.2 Gbps 的最大切换速率。Dig 连接器附带 +5 V 电源，用户可以用它来为外接电路供电（最大电流负载为 0.5 A）。

八个 SMB 可用于仪器触发或其他通用 I/O 信号。这些通道是单端通道，在驱动高阻抗负载时的电压摆幅为 0 ~ 3.3 V（连接 50 Ω 负载时，被测器件上的电压电平减半）。这些信号在充当输出时可切换至高达 150 MHz，充当输入时可切换至 75 MHz。



使用 FPGA 进行分布式处理

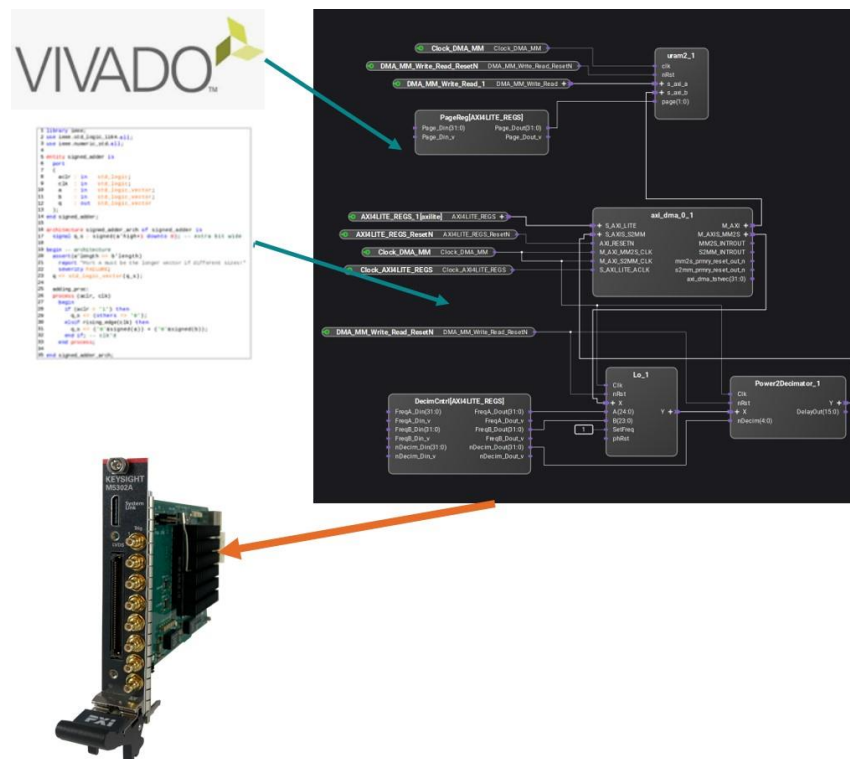
M5000 系列在每个模块中都有单独的 FPGA。M5201A 和 M5302A 中配备了 Kintex UltraScale+ FPGA；M5200A、M5300A 和 M5301A 中配备了 Virtex UltraScale+ FPGA，可实现快速的分布式处理。FPGA 可配置区域利用 Xilinx FPGA 部分重配置技术来设计和配置 FPGA 的指定部分，无需关机或重新启动板卡或主机。

PathWave FPGA

PathWave FPGA 是一个图形环境，可用于在许多是德科技仪器上快速开发 FPGA 设计。IP 库包括 FPGA 设计中可能包含的逻辑/数学、存储器和 DSP 模块。PathWave FPGA 提供了打造自定义设计流程所需的工具，只需按一下按钮即可快速从原理图中生成 bitfile（位文件）。

PathWave FPGA 附带一套丰富的内置库要素，您可以将这些要素插入原理图中。通过导入 Vivado IP、HDL IP 或使用 PathWave FPGA IP 库轻松修改默认模板。主要优势：

- 可视化应用流程并插入自定义模块
- 利用固有的 FPGA 代码兼容性优化设计流程
- 快速编译位文件，对仪器内嵌的 FPGA 模型进行编程
- 使用板级支持套件（BSP）轻松满足不同仪器 FPGA 的需求

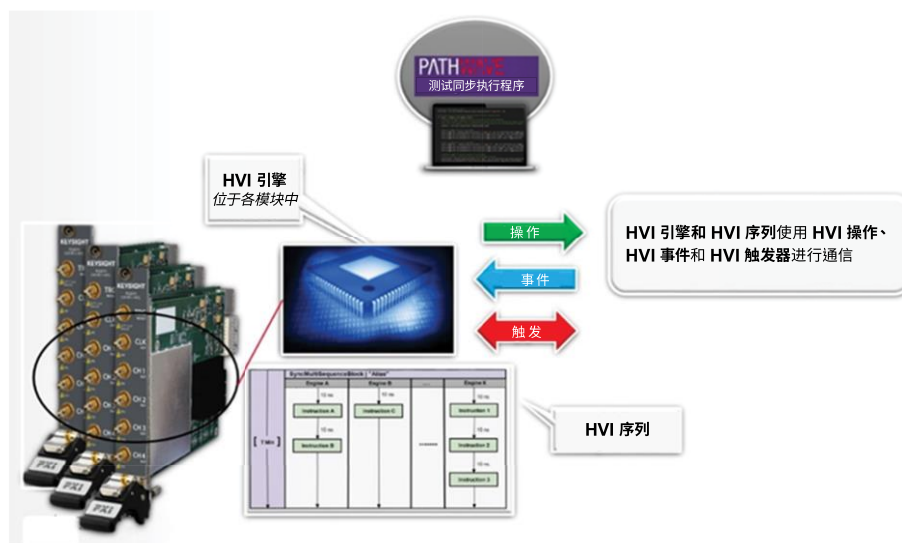


PathWave 测试同步可执行程序

PathWave 测试同步可执行程序支持快速开发多通道、多仪器的高性能实时同步解决方案。这个功能强大的软件工具对于需要紧密同步、控制和反馈的应用至关重要，例如量子控制、雷达和通信系统。

得益于与 M5000 系列模块所支持的 PathWave FPGA 无缝集成，您现在可以实现：

- 与同一模块或多个模块中的多个通道进行精准的时间对齐，从而实现透明的多模块同步
- 实时同步执行多项操作，包括排序、分支和循环
- 基于硬件的时间确定性执行



技术指标和特征

M5200A 特征

一般特征

描述	PXIe 高速数字化仪
总线接口和兼容性	PXIe 外设模块 (x8 Gen 3)
插槽数	1
PXIe 机箱兼容性	M9046A

前面板连接器

射频输入连接器	SMA (4)
触发输入/输出	SMB (4)
2.4 GHz 输入	MCX
2.4 GHz 输出	MCX

机械 (标称值)

尺寸	3U/1-插槽 PXIe 标准 130.1 x 21.7 x 210 mm; 包括连接器和延伸把手
重量	419 克 (0.9 磅)

数字化仪特征

采样率	4.8 GSa/s
分辨率	12 位
输入阻抗	50 Ω
耦合	直流
带宽	直流至 2 GHz
输入电压满量程范围	900 mV 峰峰值 (模块默认增益设置)
RMS 噪声 (在标称满量程范围内)	< 800 μ V
有效位数 (ENOB)	8
存储深度	1 GSa/通道
无杂散动态范围 (SFDR) (满量程的 50%)	65 dBc
无杂散动态范围 (SFDR) (满量程的 80%)	高达 1 GHz 时为 65 dBc 高达 2 GHz 时为 40 dBc

时钟和 I/O 特征

模块参考时钟

时钟信号源	前面板, PXI_CLK100
前面板时钟频率	2.4 GHz
标称输入时钟功率	+15 dBm
模块自同步	是
准确度	取决于机箱

输入/输出触发器

触发源	软件、PXI_TRIG、PXI_STAR 和前面板 I/O
触发目的地	PXI_TRIG 和前面板 I/O
触发极性	高电平有效或低电平有效（可编程）
触发抖动	100 ns
最大 PXI 触发切换率	100 MHz

触发通道特征

通道数	4
通道类型	单端、双向、接地参考
默认状态	1 M Ω 标称值, 输入

输出特征值（典型值）

输出电压	
50 Ω 负载	0 V - 1.6 V
高阻抗负载	0 V - 3.2 V
最大输出通道切换率	150 MHz

输入特征值（典型值）

输入电压范围	0 - 5 V
最大低压阈值	0.8 V
最大高压阈值	2 V
负载阻抗	1 M Ω
最大输入通道切换率	75 MHz

模块功率要求

总功耗	45 W ²	
电源电压	+3.3 V	+12 V
电源电流	5.8 A	2.2 A

FPGA 特征

FPGA 类型	Xilinx Virtex Ultrascale+ (XCVU35P)
FPGA 沙箱大小	1/4 of FPGA 资源
时基频率	300 MHz（锁相至 100 MHz 机箱时钟）
时基信号源	PXI_CLK100 或 DSTARA

² 没有特定应用门工具的标称功率

FPGA 资源估算

站点类型	可用的	已使用	利用率 %	可供用户使用
CLB LUT	244936	9424	3.85	235512
LUT 充当逻辑	244936	9369	3.83	235567
LUT 充当存储器	113192	55	0.05	113137
CLB 充当寄存器	489872	10028	2.05	479844
寄存器充当触发器	489872	10028	2.05	479844
寄存器充当锁存器	489872	0	0	489872
CARRY8	30617	162	0.53	30455
F7 多路复用器	122468	242	0.20	122226
F8 多路复用器	61234	119	0.19	61115
F9 多路复用器	30617	0	0	30617
CLB	30617	3647	11.91	26970
CLBL	16468	1971 年	11.97	14497
CLBM	14149	1676	11.85	12473
独特的控件集合	61234	1144	1.87	60090
模块 RAM tile	360	0.5	0.14	359.5
RAMB36/FIFO	360	0	0	360
RAMB18	720	1	0.14	719
URAM	240	0	0	240
DSP	1872	0	0	1872

M5201A 特征

一般特征

描述	PXIe 下变频器
总线接口和兼容性	PXIe 外设模块 (x8 Gen 3)
插槽数	1
PXIe 机箱兼容性	M9046A
LO 信号源	内部

前面板连接器

射频输入	SMA (4)
中频输出	SMA (4)
2.4 GHz 输入	MCX
2.4 GHz 输出	MCX

机械 (标称值)

尺寸	3U/1-插槽 PXIe 标准 130.1 x 21.7 x 210 mm; 包括连接器和延伸把手
重量	387 克 (0.85 磅)

通道特征

射频输入特征

频率范围	2 GHz 至 16 GHz
最大输入功率	0 dBm
输入功率破坏等级	+10 dBm
端口匹配	S11 < -10 dB 高达 10 GHz S11 < -5 dB 高达 16 GHz

中频输出特征

通道带宽	10 MHz - 2400 MHz
端口匹配	< -10 dB

性能特征

变频增益	
2 GHz 至 6 GHz	> 4 dB
4 GHz 至 10 GHz	> 3 dB
10 GHz 至 16 GHz	> 0 dB
LO 频率范围	1 GHz 至 18 GHz
LO 频率分辨率	5×10^{-6} Hz
LO 相位分辨率	84×10^{-9} 度
输入参考噪声	-166 dBm/Hz
噪声系数	8 dB
相位噪声	-130 dBc/Hz (12 GHz, 10 kHz 频偏时)
通道间隔离度	> 60 dB

模块功率要求

总功耗	32 W ³	
电源电压	+3.3 V	+12 V
电源电流	3.6 A	1.7 A

时钟和 I/O 特征

模块参考时钟

时钟信号源	前面板, PXI_CLK100
前面板时钟频率	2.4 GHz
标称输入时钟功率	+15 dBm
模块自同步	是
准确度	取决于机箱

输入/输出触发器

触发源	软件、PXI_TRIG 和 PXI_STAR
触发目的地	PXI_TRIG 和前面板 I/O
触发极性	正极和负极支持
触发抖动	100 ns
最大 PXI 触发切换率	100 MHz

FPGA 特征

FPGA 类型	Xilinx Kintex Ultrascale+ (KU15P)
FPGA 沙箱大小	1/6 的 FPGA 资源
时基频率	300 MHz (锁相至 100 MHz 机箱时钟)
时基信号源	PXI_CLK100 或 DSTARA

³ 没有特定应用门工具的标称功率

M5300A 特征

一般特征

描述	PXIe 射频 AWG
总线接口和兼容性	PXIe 外设模块 (x8 Gen 3)
插槽数	2
PXIe 机箱兼容性	M9046A

前面板连接器

触发通道	SMB (8)
射频连接器	SMA
2.4 GHz 输入	MCX
2.4 GHz 输出	MCX

机械 (标称值)

尺寸	3U/1-插槽 PXIe 标准 130.1 x 21.7 x 210 mm; 包括连接器和延伸把手
重量	649 克 (1.4 磅)

通道特征

射频特征

频率范围	直流至 16 GHz
端口匹配	S22 < -10 dB 至 10 GHz S22 < -5 dB 至 16 GHz

性能特征

基带/信息带宽	2 GHz
DAC 分辨率	14 位
每通道基带采样率	4.8 GSa/s (2.4 GSa/s I/Q)
每通道波形存储深度	1 GSa (实部 500 MSa、虚部 500 MSa)
每通道波形数	4096
DAC 输出采样率	38.4 GSa/s
每通道最小波形长度	64 个样本 (I+Q), 13.3 ns
每通道最大波形长度	1 GSamples (I+Q), 223 ms
NCO 频率覆盖	0-18 GHz
NCO 频率分辨率	5×10^{-6} Hz
NCO 相位分辨率	84×10^{-9} 度
本底噪声 (NSD)	-157 dBm/Hz
相位噪声 ⁴	-130 dBc/Hz (8 GHz, 10 kHz 频偏时) -125 dBc/Hz (16 GHz, 10 kHz 频偏时)
通道间隔离度	80 dB 至 16 GHz
无杂散动态范围 (SFDR) 不包括谐波和 DAC 交错杂散	-70 dBc 至 16 GHz
无杂散动态范围 (SFDR) 不包括谐波, 包括 DAC 交错杂散 ⁵	-55 dBc 至 16 GHz

⁴ 配合 M9046A-QS1 一起使用时

⁵ 包括 9.6 GHz 附近的 DAC 交错杂散

模块功率要求

总功耗	50 W ⁶	
电源电压	+3.3 V	+12 V
电源电流	6.3 A	2.4 A

时钟和 I/O 特征

模块参考时钟

时钟信号源	前面板, PXI_CLK100
前面板时钟频率	2.4 GHz
标称输入时钟功率	+15 dBm
模块自同步	是
准确度	取决于机箱

输入/输出触发器

触发源	软件、PXI_TRIG、PXI_STAR 和前面板 I/O
触发目的地	PXI_TRIG 和前面板 I/O
触发极性	高电平有效或低电平有效 (可编程)
触发动抖	100 ns
最大 PXI 触发切换率	100 MHz

触发通道特征

通道数	8
通道类型	单端、双向、接地参考
默认状态	1 M Ω 标称值, 输入

输出特征值 (典型值)

输出电压	
50 Ω 负载	0 V - 1.6 V
高阻抗负载	0 V - 3.2 V
最大输出通道切换率	150 MHz

输入特征值 (典型值)

输入电压范围	0 - 5 V
最大低压阈值	0.8 V
最大高压阈值	2 V
负载阻抗	1 M Ω
最大输入通道切换率	75 MHz

FPGA 特征

FPGA 类型	Xilinx Virtex Ultrascale+ (XCVU35P)
FPGA 沙箱大小	1/6 的 FPGA 资源
时基频率	300 MHz (锁相至 100 MHz 机箱时钟)
时基信号源	PXI_CLK100 或 DSTARA

⁶ 没有特定应用门工具的标称功率

FPGA 资源估算

站点类型	可用的	已使用	利用率 %	可供用户使用
CLB LUT	244936	9424	3.85	235512
LUT 充当逻辑	244936	9369	3.83	235567
LUT 充当存储器	113192	55	0.05	113137
CLB 寄存器	489872	10028	2.05	479844
寄存器充当触发器	489872	10028	2.05	479844
寄存器锁存器	489872	0	0	489872
CARRY8	30617	162	0.53	30455
F7 多路复用器	122468	242	0.20	122226
F8 多路复用器	61234	119	0.19	61115
F9 多路复用器	30617	0	0	30617
CLB	30617	3647	11.91	26970
CLBL	16468	1971 年	11.97	14497
CLBM	14149	1676	11.85	12473
独特的控件集合	61234	1144	1.87	60090
模块 RAM tile	360	0.5	0.14	359.5
RAMB36/FIFO	360	0	0	360
RAMB18	720	1	0.14	719
URAM	240	0	0	240
DSP	1872	0	0	1872

M5302A 特征

一般特征

描述	PXle 数字 I/O
总线接口和兼容性	PXle 外设模块 (x8 Gen 3)
插槽数	1
易失性模块存储器	8 GB (DDR4)
非易失性闪存	1 GB

前面板连接器

LVDS	ERF8-050
触发通道	SMB 阳头 (8)
系统同步	留作未来使用

机械 (标称值)

尺寸	3U/1-插槽 PXle 标准 130.1 x 21.7 x 210 mm; 包括连接器和延伸把手
重量	365 克 (0.8 磅)

模块功率要求

总功耗	42 W	
电源电压	+3.3 V	+12 V
电源电流	1.8 A	3 A

LVDS 连接器特征

通道数

功能	LVDS 加辅助 DUT 电源
通道类型	差分、双向
通道数	28
通道阻抗	100 Ω 差分 (标称值)

LVDS 输出特征值 (典型值)

输出电压范围	1.25 V $\pm$ 175 mV (100 Ω 差分终端)
最大输出短路电流	20 mA
最大输出通道切换率	1.2 Gbps

LVDS 输入特征值 (典型值)

差分输入电压范围	0.3 - 1.4 V (直流耦合) 0.6 - 1.1 V (交流耦合)
输入共模电压阈值	0.1 - 0.6 V
最大输入切换率	1.2 Gbps

LVDS 通道偏差特征值（典型值）⁷

最大偏差调整范围	$\pm 1667 \text{ ps (用户)} + \pm 1667 \text{ ps (系统)} = \pm 3333 \text{ ps (合计)}$
最大偏差调整分辨率	50 ps
最大边缘极性偏差	$\pm 50 \text{ ps}$
最大未校准通道间偏差误差 ^{8,9}	$\pm 150 \text{ ps}$
最大通道间偏差漂移 ($\pm 5^\circ\text{C}$)	$\pm 200 \text{ ps}$
输入/输出触发器	
最大未校准模块间偏差误差 ^{10,11}	$\pm 250 \text{ ps}$
最大模块间偏差漂移 ($\pm 5^\circ\text{C}$)	$\pm 300 \text{ ps}$
HVI 动作/事件时间分辨率	3.33 ns

DUT 电源（典型值）

输出电压	5 V $\pm 5\%$
最大输出电流	0.5 A

触发通道特征

通道数	8
通道类型	单端、双向、接地参考
默认状态	1 M Ω 标称值, 输入

输出特征值（典型值）

输出电压	
50 Ω 负载	0 V - 1.6 V
高阻抗负载	0 V - 3.2 V
最大输出通道切换率	150 MHz

输入特征值（典型值）

输入电压范围	0 - 5 V
最大低压阈值	0.8 V
最大高压阈值	2 V
负载阻抗	1 M Ω
最大输入通道切换率	75 MHz

⁷ 请注意, 1.2 Gbps 数据有效窗口 = 833 ps

⁸ $\pm 5^\circ\text{C} \leq 2 \times$ 以上的同一模块上任意两个通道的未校准偏差总误差 (最大未校准通道间偏差误差 + 最大通道间偏差漂移 + 最大边缘极性偏差) = 800 ps

⁹ $\pm 5^\circ\text{C} \leq 2 \times$ 以上的同一模块上任意两个通道的用户校准偏差总误差 (最大偏差调整分辨率 / 2 + 最大通道间偏差漂移 + 最大边缘极性偏差) = 550 ps

¹⁰ $\pm 5^\circ\text{C} \leq 2 \times$ 以上的独立模块间任意两个通道的未校准偏差总误差 (最大未校准模块间偏差误差 + 最大模块间偏差漂移 + 最大边缘极性偏差) = 1200 ps

¹¹ $\pm 5^\circ\text{C} \leq 2 \times$ 以上的独立模块间任意两个通道的用户校准偏差总误差 (最大偏差调整分辨率 / 2 + 最大模块间偏差漂移 + 最大边缘极性偏差) = 750 ps

触发通道偏差特征值（典型值）¹²

最大偏差调整范围	$\pm 1667 \text{ ps (用户)} + \pm 1667 \text{ ps (系统)} = \pm 3333 \text{ ps (合计)}$
最大偏差调整分辨率	50 ps
最大边缘极性偏差	$\pm 250 \text{ ps}$
最大未校准通道间偏差误差 ^{13,14}	$\pm 500 \text{ ps}$
最大通道间偏差漂移 ($\pm 5^\circ\text{C}$)	$\pm 200 \text{ ps}$
使用选件 KS2201A 的性能	
最大未校准模块间偏差误差 ^{15,16}	$\pm 250 \text{ ps}$
最大模块间偏差漂移 ($\pm 5^\circ\text{C}$)	$\pm 300 \text{ ps}$
HVI 动作/事件时间分辨率	3.33 ns

模块时序和触发特征

模块参考时钟

频率	100 MHz
参考时钟源	PXI_CLK100
准确度	取决于机箱

输入/输出触发器

触发源	软件、PXI_TRIG、PXI_STAR 和前面板 I/O
触发目的地	PXI_TRIG 和前面板 I/O
触发极性	高电平有效或低电平有效（可编程）

LVDS 输入特征值（典型值）

差分输入电压范围	0.3 - 1.425 V（直流耦合） 0.6 - 1.1 V（交流耦合）
输入共模电压阈值	0.1 - 0.6 V
最大输入切换率	1.2 Gbps

FPGA 特征

FPGA 类型	Xilinx Virtex Ultrascale+ (XCVU35P)
FPGA 沙箱大小	1/6 的 FPGA 资源
时基频率	300 MHz（锁相至 100 MHz 机箱时钟）
时基信号源	PXI_CLK100 或 DSTARA

可用 FPGA 资源

CLB 寄存器	502320
CLB LUT	251160
模块 RAM tiile (Mb)	480
UltraRAM (Mb)	80
DSP 模块	960

¹² 请注意，300 Mbs Gbps 数据有效窗口 = 3333 ps

¹³ $\pm 5^\circ\text{C} \leq 2 \times$ 以上的同一模块上任意两个通道的未校准偏差总误差（最大未校准通道间偏差误差 + 最大通道间偏差漂移 + 最大边缘极性偏差）= 2500 ps

¹⁴ $\pm 5^\circ\text{C} \leq 2 \times$ 以上的同一模块上任意两个通道的用户校准偏差总误差（最大偏差调整分辨率 / 2 + 最大通道间偏差漂移 + 最大边缘极性偏差）= 1550 ps

¹⁵ $\pm 5^\circ\text{C} \leq 2 \times$ 以上的独立模块间任意两个通道的未校准偏差总误差超过（最大未校准模块间偏差误差 + 最大模块间偏差漂移 + 最大边缘极性偏差）= 3500 ps

¹⁶ $\pm 5^\circ\text{C} \leq 2 \times$ 以上的独立模块间任意两个通道的用户校准偏差总误差（最大偏差调整分辨率 / 2 + 最大模块间偏差漂移 + 最大边缘极性偏差）= 2050 ps

订货指南和升级信息

请联系是德科技销售代表或授权合作伙伴，了解更多信息或下订单：www.keysight.com/find/contactus

线缆

使用 M9046A-QS1 选件进行配置时，所有电缆必须具有相同的长度，才能确保时钟机制正常运行。

型号	描述
Y1320A	系统同步/链路电缆，x4-x4，0.5 米
Y1321A	系统同步/链路电缆，x4-x4，1.0 米
Y1323A	系统同步/链路电缆，x8-2，x4，0.5 米
Y1324A	系统同步/链路电缆，x8-2，x4，1.0 米
Y1326A	系统同步/链路电缆，x8-x8，0.5 米
Y1327A	系统同步/链路电缆，x8-x8，1.0 米
Y1329A	系统同步/链路电缆，x8-x8，2.0 米
71330A	MCX（阳头）到 MCX（阳头）电缆，相位稳定，0.3 米
Y1331A	MCX（阳头）到 MCX（阳头）电缆，相位稳定，1.0 米
Y1332A	MCX（阳头）到 MCX（阳头）电缆，相位稳定，2.0 米
Y1333A	SMA（阳头）到 SMP（阴头）电缆，0.3 米

软件选件

型号	描述
M5401LUNA	Labber 量子软件许可证
KS2201A	PathWave 测试同步可执行程序许可证
KF9001B	PathWave FPGA 运行时许可证
M5400B	用于 M5xxx 控制硬件的量子 FPGA IP 库

了解更多信息

如需了解有关加速量子计算创新的更多见解，请访问[量子控制系统解决方案简介](#)。

如需结合使用其他 PXIe 产品，请访问我们的[PXI 产品系列](#)。

如需了解软件产品的更多信息，请访问[PathWave FPGA](#)、[PathWave 测试同步可执行程序](#)和[Labber](#)。

如需了解关于是德科技产品、应用或服务的更多信息，请访问：www.keysight.com



此信息如有更改，恕不另行通知。© 是德科技，2022 年，2022 年 6 月 16 日，印于北京，3122-1571.ZHCN